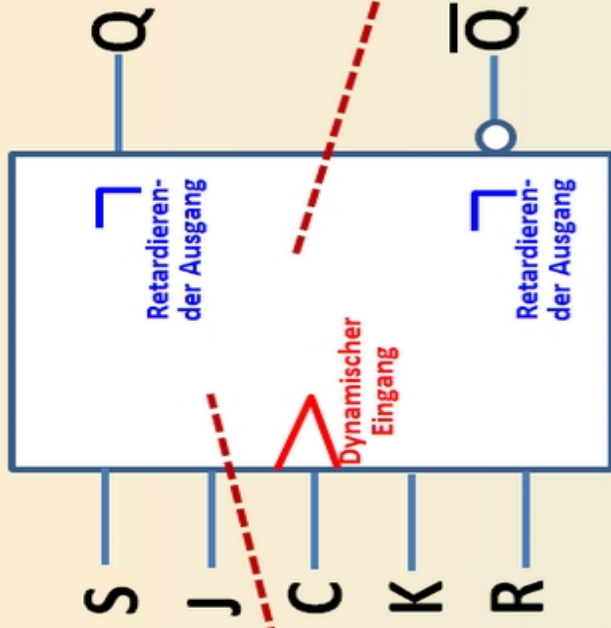
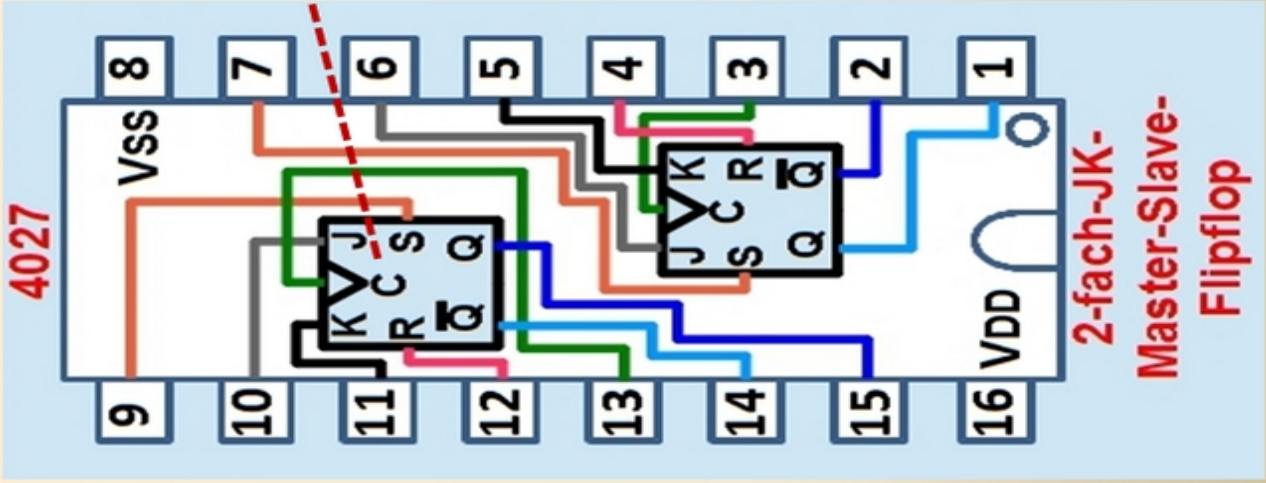


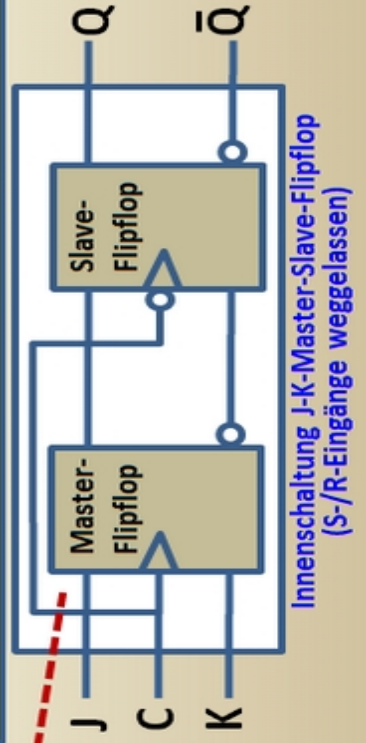
Informationen zum CMOS-Baustein 4027 (2-fach-JK-Master-Slave-Flipflop)



Einzelnes J-K-Master-Slave-Flipflop

- S = statischer Setz-Eingang
- R = statischer Rücksetz-Eingang
- J = taktgesteuerter Setz-Eingang
- K = taktgest. Rücksetz-Eingang
- C = **Dynamischer** Takt-Eingang (Takt-Flankensteuerung)
- \bar{Q} = Nichtinvertierter Ausgang
- Q = Invertierter Ausgang

S und R haben absoluten Vorrang vor J, K und C.
 S = 1 >>> Flipflop wird gesetzt ($Q = 1, \bar{Q} = 0$)
 R = 1 >>> Flipflop wird zurückgesetzt ($Q = 0, \bar{Q} = 1$)
 S und R dürfen (im Gegensatz zu J und K) nicht gleichzeitig auf 1 gelegt werden!
 J = 1 >>> Das Signal wird bei der nächsten positiven (aufsteigenden) Taktflanke vom Master-Flipflop übernommen und bei der darauffolgenden negativen Taktflanke an das Slave-Flipflop weitergegeben (2-Flanken-Steuerung, Retardierender Ausgang). $Q = 1, \bar{Q} = 0$.
 K = 1 >>> Das Signal wird bei der nächsten positiven (aufsteigenden) Taktflanke vom Master-Flipflop übernommen und bei der darauffolgenden negativen Taktflanke an das Slave-Flipflop weitergegeben (2-Flanken-Steuerung, Retardierender Ausgang). $Q = 0, \bar{Q} = 1$.
 Damit die Setz- und Rücksetz-Signale an J und K wirksam werden können, müssen S und R gleichzeitig auf 0 liegen.



Innenschaltung J-K-Master-Slave-Flipflop (S-/R-Eingänge weggelassen)